

(1) Japanese Patent Application Laid-Open No. 10-91577 (1998)

“Bus Access Right Control System”

The following is an extract relevant to the present application.

5

The present invention relates to a bus access right control system which controls an access right of a bus shared between a plurality of I/O modules, and more particularly, it relates to a bus access right control system consisting of priority control and round robin control in combination.

10

By combining priority control and round robin control, an access is allowed in accordance with the importance levels of the I/O modules.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平10-91577

(43)公開日 平成10年(1998)4月10日

(51)Int.Cl.<sup>6</sup>

G06F 13/362

識別記号

510

F I

G06F 13/362

510

B

審査請求 未請求 請求項の数 1 O L (全10頁)

(21)出願番号 特願平8-244784

(22)出願日 平成8年(1996)9月17日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 河原 暢郎

東京都府中市東芝町1番地 株式会社東芝

府中工場内

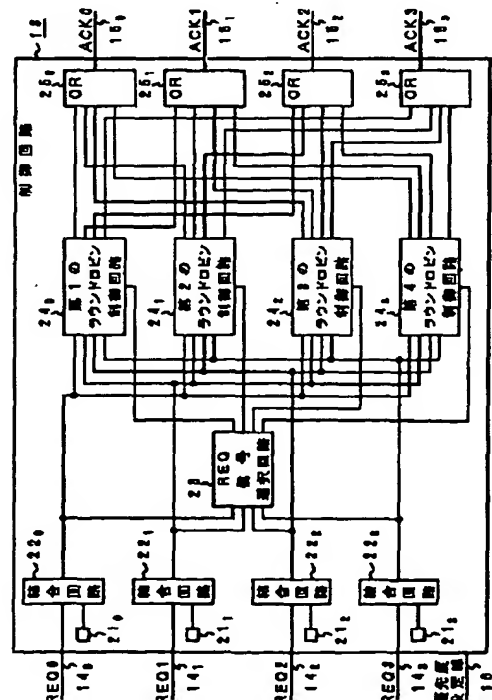
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 バスアクセス権制御方式

(57)【要約】

【課題】 本発明は、優先度制御とラウンドロビン制御とを組合せ、I/Oモジュールの動作に対応してアクセスを許可し、アクセス権制御の最適化を図る。

【解決手段】 各I/Oモジュール(12<sub>1</sub>～12<sub>4</sub>)からの各リクエスト信号毎に優先度が書替可能に設定されるレジスタ(21<sub>1</sub>～21<sub>4</sub>)を設け、優先度選択手段(23)が、1以上のI/Oモジュールからリクエスト信号を受けたとき、各レジスタに基づいて、最高の優先度のリクエスト信号を選択し、ラウンドロビン制御手段(24<sub>1</sub>～24<sub>4</sub>)が、優先度選択手段により1つのリクエスト信号が選択されたとき、当該リクエスト信号のI/Oモジュールに肯定応答を送出し、優先度選択手段により2以上のリクエスト信号が選択されたとき、ラウンドロビン制御に基づいて、当該各リクエスト信号のうちでアクセス許可が割合の最低のリクエスト信号のI/Oモジュールに肯定応答を送出するバスアクセス権制御方式。



## 【特許請求の範囲】

【請求項 1】 複数の I/O モジュールに共有されるバスのアクセス権を制御するためのバスアクセス権制御方式において、

前記各 I/O モジュールから個別に受ける各リクエスト信号毎に、当該リクエスト信号の優先度が書替可能に設定される複数のレジスタと、

前記各 I/O モジュールのうち、1 つ以上の I/O モジュールから個別にリクエスト信号を受けたとき、前記各レジスタ内の設定内容に基づいて、前記受けたリクエスト信号のうちで最高の優先度をもつ少なくとも 1 つのリクエスト信号を選択する優先度選択手段と、

前記優先度選択手段により 1 つのリクエスト信号が選択されたとき、当該リクエスト信号に対応する I/O モジュールに肯定応答を送出し、前記優先度選択手段により 2 つ以上のリクエスト信号が選択されたとき、ラウンドロビン制御に基づいて、当該各リクエスト信号のうちで前記アクセスの許可される割合の最も低いリクエスト信号に対応する I/O モジュールに肯定応答を送出するラウンドロビン制御手段とを備えたことを特徴とするバスアクセス権制御方式。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複数の I/O モジュールに共有されるバスのアクセス権を制御するバスアクセス権制御方式に係わり、特に、優先度制御とラウンドロビン制御とを組合せてなるバスアクセス権制御方式に関する。

## 【0002】

【従来の技術】従来、複数の I/O モジュールがバスを共有する場合、所定の方法でバスのアクセス権を制御するバスアクセス制御方式が用いられている。この種のバスアクセス制御方式には、アクセス優先度固定方式及びラウンドロビン方式があり、夫々広く用いられている。

【0003】アクセス優先度固定方式は、予め各 I/O モジュールに対してアクセス権の優先度を決定し、この優先度に従ってアクセス権を制御する方式である。一方、ラウンドロビン方式は、各 I/O モジュールのバスアクセスの割合を均等になるように、1 度バスアクセスの許可された I/O モジュールに対し、次のサイクルでアクセスの優先度を最も低くする方式である

## 【0004】

【発明が解決しようとする課題】しかしながら以上のようなバスアクセス権制御方式では、アクセス優先度固定方式又はラウンドロビン方式のいずれにしても、I/O モジュールの動作に応じて適切にアクセスを許可することが困難である問題がある。

【0005】優先度固定方式の場合、各リクエスト信号 REQ0~REQ3 の優先度が REQ0>REQ1>REQ2>REQ3 のとき、REQ0 と REQ2 とが同時

に出力されると、REQ0 を出力した I/O モジュールが必ずバスを取得する。このように優先度固定方式の場合、常に REQ2 は後回しにされるため、REQ2 の処理が極めて実行されにくいという問題がある。

【0006】一方、ラウンドロビン方式の場合、各リクエスト信号 REQ0~REQ3 の優先度が等しいとき、REQ0 に対応する I/O モジュールがバスを取得した次のサイクルにおいて、REQ0 と REQ1 とが同時に出力されたとき、アクセス割合を均等化するため、REQ1 を出力した I/O モジュールがアクセスを許可される。このようにラウンドロビン方式の場合、REQ0~REQ3 が平均的にアクセスを許可されるものの、必ずしも動作の状況には適合してない可能性がある。

【0007】また、これら各リクエスト信号 REQ0~REQ3 の優先度を考慮してシステムを設計するが、I/O モジュールの動作状況に対応して各リクエスト信号 REQ0~REQ3 の相互間で優先度が逆転する場合があるので、常に最適な優先度で動作するシステムを設計することは極めて困難となっている。

【0008】本発明は上記実情を考慮してなされたもので、優先度制御とラウンドロビン制御とを組合せることにより、I/O モジュールの動作の重要度に対応してアクセスを許可し、アクセス権制御を最適化し得るバスアクセス権制御方式を提供することを目的とする。また、本発明の第 2 の目的は、各 I/O モジュールの優先度を考慮せずに、システムを設計し得るバスアクセス権制御方式を提供することにある。

## 【0009】

【課題を解決するための手段】本発明は、複数の I/O モジュールに共有されるバスのアクセス権を制御するためのバスアクセス権制御方式において、前記各 I/O モジュールから個別に受ける各リクエスト信号毎に、当該リクエスト信号の優先度が書替可能に設定される複数のレジスタと、前記各 I/O モジュールのうち、1 つ以上の I/O モジュールから個別にリクエスト信号を受けたとき、前記各レジスタ内の設定内容に基づいて、前記受けたリクエスト信号のうちで最高の優先度をもつ少なくとも 1 つのリクエスト信号を選択する優先度選択手段と、前記優先度選択手段により 1 つのリクエスト信号が選択されたとき、当該リクエスト信号に対応する I/O モジュールに肯定応答を送出し、前記優先度選択手段により 2 つ以上のリクエスト信号が選択されたとき、ラウンドロビン制御に基づいて、当該各リクエスト信号のうちで前記アクセスの許可される割合の最も低いリクエスト信号に対応する I/O モジュールに肯定応答を送出するラウンドロビン制御手段とを備えたバスアクセス権制御方式である。

（作用）従って、本発明は以上のような手段を講じたことにより、各 I/O モジュールから個別に受ける各リクエスト信号毎に、当該リクエスト信号の優先度が書替可

能に設定される複数のレジスタを設け、優先度選択手段が、各 I/O モジュールのうち、1 つ以上の I/O モジュールから個別にリクエスト信号を受けたとき、各レジスタ内の設定内容に基づいて、受けたリクエスト信号のうちで最高の優先度をもつ少なくとも 1 つのリクエスト信号を選択し、ラウンドロビン制御手段が、優先度選択手段により 1 つのリクエスト信号が選択されたとき、当該リクエスト信号に対応する I/O モジュールに肯定応答を送出し、優先度選択手段により 2 つ以上のリクエスト信号が選択されたとき、ラウンドロビン制御に基づいて、当該各リクエスト信号のうちでアクセスの許可される割合の最も低いリクエスト信号に対応する I/O モジュールに肯定応答を送出するので、優先度制御とラウンドロビン制御とを組合せることにより、I/O モジュールの動作の重要度に対応してアクセスを許可し、アクセス権制御を最適化させることができ、さらに、各 I/O モジュールの優先度を考慮せずに、システムを設計することができる。

#### 【0010】

【発明の実施の形態】以下、本発明の一実施の形態について図面を参照して説明する。図 1 は本発明の一実施の形態に係るバスアクセス権制御方式の適用されたアクセス制御システムの構成を模式的に示すブロック図であり、図 2 はこのアクセス制御システム内の制御回路の構成を示す回路ブロック図である。このアクセス制御システムは、共通のバス 10 にメモリ 11 及び 4 つの I/O モジュール 12、～12、が接続され、各 I/O モジュール 12、～12、が制御回路 13 に接続されている。なお、以下の説明中でも添字 0～3 は、夫々各 I/O モジュール 12、～12、に対応する要素を示している。また、説明中の添字 i は、添字 0～3 のうちで対応する任意のものを示している。

【0011】ここで、制御回路 13 は、4 本の REQ (リクエスト) 信号線 14、～14、が個別に各 I/O モジュール 12、～12、に接続され、同様に、4 本の ACK (肯定応答) 信号線 15、～15、が個別に各 I/O モジュール 12、～12、に接続され、且つ 1 本の優先度設定線 16 が I/O モジュール 12、に接続されている。

【0012】具体的には、制御回路 13 は、図 2 に示すように、各 REQ 信号線 14、～14、毎に、レジスタ 21、～21、に接続された結合回路 22、～22、を備え、各結合回路 22、～22、の出力側が夫々 REQ 信号選択回路 23 の入力側及び第 1～第 4 のラウンドロビン制御回路 24、～24、の入力側に並列に接続され、且つ REQ 信号選択回路 23 の出力側が各ラウンドロビン制御回路 24、～24、の入力側に接続されている。各ラウンドロビン制御回路 24、～24、の出力側は夫々 4 つの OR 回路 25、～25、の入力側に並列に接続され、各 OR 回路 25、～25、の出力側は前述し

た各 ACK 信号線 15、～15、に個別に接続されている。

【0013】各レジスタ 21、～21、は、各結合回路 22、～22、に個別に接続され、優先度が書替可能に設定されている。各結合回路 22、～22、は、夫々対応するリクエスト信号 REQ 0～3 とレジスタ 21、～21、内の優先度とを結合させて優先度付 REQ 信号 P 0～P 3 を生成し、夫々優先度付 REQ 信号 P 0～P 3 を REQ 信号選択回路 23 及び各ラウンドロビン制御回路 24、～24、に与えるものである。

【0014】REQ 信号選択回路 23 は、各結合回路 22、～22、から受ける各優先度付 REQ 信号 P 0～P 3 に基づいて、最高の優先度をもつ優先度付 REQ 信号 P<sub>i</sub> を選択し、この選択した優先度付 REQ 信号 P<sub>i</sub> に対応するラウンドロビン制御回路 24、に有効信号を与える一方、非選択の優先度付 REQ 信号 P に対応するラウンドロビン制御回路 24 に無効信号を与えるものである。

【0015】第 1～第 4 のラウンドロビン制御回路 24、～24、は、互いに同様の構成のため、第 1 のラウンドロビン制御回路 24、を例に上げて説明し、他の第 2～第 4 のラウンドロビン制御回路 24、～24、は第 1 のラウンドロビン制御回路 24、との相違点を説明する。

【0016】第 1 のラウンドロビン制御回路 24、は、REQ 信号選択回路 23 から有効信号を受けたとき、各結合回路 22、～22、から個別に受ける優先度付 REQ 信号 P 0～P 3 に基づいて、カウンタ 21、～21、の設定の第 1 番目に高い優先度をもつ 1 以上の優先度付 REQ 信号 P を予備的に選択してこの予備選択した 1 以上の優先度付 REQ 信号 P にラウンドロビン制御を実行し、この実行の結果、最終的に選択した 1 つの優先度付 REQ 信号 P に対応する OR 回路 25、～25、のいずれかに向けて肯定応答信号 ACK 0～ACK 3 のいずれかを送出するものである。なお、第 1 のラウンドロビン制御回路は、REQ 信号選択回路から無効信号を受けたとき、上記処理を実行せず、全ての肯定応答信号 ACK 0～ACK 3 を送出しない。

【0017】また、第 2 のラウンドロビン制御回路 24、は、REQ 信号選択回路 23 から有効信号を受けたとき、カウンタ 21、～21、の設定の第 2 番目に高い優先度をもつ 1 以上の優先度付 REQ 信号 P について、第 1 のラウンドロビン制御回路 24、と同様の処理を実行するものである。第 3 のラウンドロビン制御回路 24、も同様に、REQ 信号選択回路 23 から有効信号を受けたとき、カウンタ 21、～21、の設定の第 3 番目に高い優先度をもつ 1 以上の優先度付 REQ 信号 P について、第 1 のラウンドロビン制御回路 24、と同様の処理を実行するものである。第 4 のラウンドロビン制御回路 24、も同様に、REQ 信号選択回路 23 から有効信号

を受けたとき、カウンタ 21, ~ 21, の設定の第 4 番目に高い優先度をもつ 1 以上の優先度付 REQ 信号 P について、第 1 のラウンドロビン制御回路 24, と同様の処理を実行するものである。

【0018】また、各 OR 回路 25, ~ 25, は、各ラウンドロビン制御回路 24, ~ 24, のいずれかから受けた肯定応答信号 ACK 0 ~ ACK 3 のいずれかを、対応する I/O モジュール 25, ~ 25, に向けて通過さ

せるものである。

【0019】次に、以上のようなアクセス制御システムの動作を図 3 の流れ図を用いて説明するが、各リクエスト信号 REQ 0 ~ 3 及びその優先度により、異なる動作を実行するため、次の表 1 に示す 5 つのケース C1 ~ C5 に場合分けして述べる。

【0020】

【表 1】

信号名	優先度	ケース				
		C1	C2	C3	C4	C5
リクエスト 信号 REQ 0	1	○	-	○	-	-
リクエスト 信号 REQ 1	2	-	○	○	○	○
リクエスト 信号 REQ 2	2	-	-	○	-	○
リクエスト 信号 REQ 3	3	-	-	-	○	-

○: リクエスト有り  
-: リクエスト無し

【0021】なお、表 1 中、優先度（又は優先順位）は、“1”が最高であり、以下、“2”、“3”となるに従い、低下するものとする。また、各優先度は、予め I/O モジュール 12, から優先度設定線 16 を介して各レジスタ 21, ~ 21, に設定済となっており、さらに I/O モジュール 12, から優先度設定線 16 を介して個別に書替え可能となっている。

（ケース C1）入力されたリクエスト信号が 1 本であり、且つこのリクエスト信号 REQ 0 と同一の優先度が他のリクエスト信号 REQ 1 ~ REQ 3 には設定されて 30 ない場合の動作を説明する。

【0022】いま、制御回路 13 では、I/O モジュール 12, からリクエスト信号 REQ 0 を受けたとする（ST1）。結合回路 22, では、このリクエスト信号 REQ 0 と所定の優先度“1”とを組合せて優先度付 REQ 信号 P0 を作成し、この優先度付 REQ 信号 P0 を REQ 信号選択回路 23 及び各ラウンドロビン制御回路 24, ~ 24, に与える。

【0023】REQ 信号選択回路 23 は、各結合回路 22, ~ 22, から受ける優先度付 REQ 信号 P0 ~ P3 40 のうちで最高の優先度をもつ優先度付 REQ 信号 P を選択するが、今回、1 つの優先度付 REQ 信号 P0 のみ入力されたので（ST2）、当該優先度付 REQ 信号 P0 を選択する。また、REQ 信号選択回路 23 は、この選択した優先度付 REQ 信号 P0 に対応する第 1 のラウンドロビン制御回路 24, に有効信号を与える一方、非選択の第 2 乃至第 4 のラウンドロビン制御回路 24, ~ 24, に無効信号を与える。

【0024】第 1 のラウンドロビン制御回路 24, で 50 は、この有効信号を受けたとき、各カウンタ 21, ~ 21,

1, の設定で最高の優先度をもつ優先度付 REQ 信号 P についてラウンドロビン制御を実行するが、この場合、最高の優先度は 1 つしか設定されていないので（ST3）、当該入力された優先度付 REQ 信号 P0 に対応する OR 回路 25, に向けて、バスアクセスを許可する旨の肯定応答信号 ACK 0 を送出する（ST4）。

【0025】この肯定応答信号 ACK 0 は、OR 回路 25, を通過して I/O モジュール 12, に到達し、I/O モジュール 12, のバスアクセスを許可する。これにより、I/O モジュール 12, では、共通のバス 10 を占有する。

【0026】一方、他の第 2 乃至第 4 のラウンドロビン制御回路 24, ~ 24, は、無効信号を受けるので、動作せず、すなわち、肯定応答信号 ACK 1 ~ ACK 3 を送出しない。

【0027】以上述べたようにケース C1 の場合、入力したリクエスト信号が 1 本だけであり、このリクエスト信号 REQ 0 と同一の優先度“1”が他のリクエスト信号 REQ 1 ~ REQ 3 には設定されていないため、アクセスを許可するだけで動作を終了する。

（ケース C2）入力されたリクエスト信号は 1 本だけであるが、このリクエスト信号 REQ 1 と同一の優先度“2”が他の入力されないリクエスト信号 REQ 2 にも設定されている場合の動作を説明する。

【0028】いま、制御回路 13 では、前述同様に、I/O モジュール 12, からリクエスト信号 REQ 1 を受けたとする（ST1）。結合回路 22, では、このリクエスト信号 REQ 1 と所定の優先度“2”とを組合せて優先度付 REQ 信号 P1 を作成し、この優先度付 REQ 信号 P1 を REQ 信号選択回路 23 及び各ラウンドロビ

ン制御回路 24, ~ 24, に与える。

【0029】REQ信号選択回路 23は、各結合回路 22, ~ 22, から受ける優先度付REQ信号P0~P3のうちで最高の優先度をもつ優先度付REQ信号Pを選択するが、この場合、1つの優先度付REQ信号P1のみ入力されたので(ST2)、当該優先度付REQ信号P1を選択する。また、REQ信号選択回路 23は、この選択した優先度付REQ信号P1に対応する第2のラウンドロビン制御回路 24, に有効信号を与える一方、非選択の第1、第3及び第4のラウンドロビン制御回路 24, , 24, , 24, に無効信号を与える。

【0030】第2のラウンドロビン制御回路 24, では、この有効信号を受けたとき、各カウンタ 21, ~ 21, 内で第2番目の優先度“2”をもつ優先度付REQ信号についてラウンドロビン制御を実行する。

【0031】この場合、第2のラウンドロビン制御回路では、第2番目の優先度は2つも設定されているので(ST3)、入力された優先度付REQ信号P1に対応するOR回路 25, に向けて肯定応答信号ACK1を送出すると(ST5)、次のアクセス制御のため、今回入力されない方の第2番目の優先度をもつ優先度付REQ信号P2の優先権を、今回入力された優先度付REQ信号P1の優先権よりも高くする(ST6)。

【0032】これにより、次のアクセス制御の際に、今回入力されなかった方の第2番目の優先度をもつ優先度付REQ信号P2は、バスアクセスの許可を得やすくなる。

【0033】以下、前述同様に、第2のラウンドロビン制御回路 24, から送出された肯定応答信号ACK1は、OR回路 25, を通過してI/Oモジュール 12, に到達し、I/Oモジュール 12, のバスアクセスを許可する。

【0034】これにより、I/Oモジュール 12, では、共通のバス10を占有する。一方、他の第1、第3及び第4のラウンドロビン制御回路 24, , 24, , 24, は、無効信号を受けるので、動作せず、すなわち、肯定応答信号ACK0~ACK3を送出しない。

【0035】以上述べたようにケースC2の場合、入力したリクエスト信号は1本だけであるが、このリクエスト信号REQ1と同一の優先度が他の入力されないリクエスト信号REQ2にも設定されているため、入力されたリクエスト信号REQ1に対応してアクセスを許可する一方、今回入力されなかったリクエスト信号REQ2の優先権を高くし、次のサイクルでは、同一優先度であっても、今回入力されない方のリクエスト信号REQ2に対応するアクセスを許可し易くする。

(ケースC3) 入力されたリクエスト信号は3本である。詳しくは、最高の優先度“1”をもつ1本のリクエスト信号REQ0と、第2番目の優先度“2”をもつ2本のリクエスト信号REQ1, REQ2とが同時に入力

されたものとする。

【0036】いま、制御回路 13では、前述同様に、各I/Oモジュール 12, ~ 12, からリクエスト信号REQ0, REQ1, REQ2を個別に受けたとする(ST1)。各結合回路 22, ~ 22, では、夫々リクエスト信号REQ0~REQ2と各々対応する優先度とを組合せて夫々優先度付REQ信号P0~P2を作成し、各優先度付REQ信号P0~P2をREQ信号選択回路 23及び各ラウンドロビン制御回路 24, ~ 24, に与える。

【0037】REQ信号選択回路 23は、各結合回路 22, ~ 22, から受ける優先度の異なる複数の優先度付REQ信号P0~P2のうち(ST2, ST7)、最高の優先度をもつ優先度付REQ信号P0を選択し、この選択した優先度付REQ信号P0に対応する第1のラウンドロビン制御回路 24, に有効信号を与える一方、非選択の第2乃至第4のラウンドロビン制御回路 24, ~ 24, に無効信号を与える。

【0038】第1のラウンドロビン制御回路 24, では、この有効信号を受けたとき、各カウンタ 21, ~ 21, の設定で最高の優先度をもつ優先度付REQ信号についてラウンドロビン制御を実行するが、この場合、最高の優先度は1つしか設定されていないので(ST8)、当該入力された優先度付REQ信号P0に対応するOR回路 25, に向けて、バスアクセスを許可する旨の肯定応答信号ACK0を送出する(ST9)。

【0039】この肯定応答信号ACK0は、OR回路 25, を通過してI/Oモジュール 12, に到達し、I/Oモジュール 12, のバスアクセスを許可する。これにより、I/Oモジュール 12, では、共通のバス10を占有する。

【0040】一方、他の第2乃至第4のラウンドロビン制御回路 24, ~ 24, は、無効信号を受けるので、動作せず、すなわち、肯定応答信号ACK0~ACK3を送出しない。

【0041】以上述べたようにケースC3の場合、入力された3本のリクエスト信号のうち、リクエスト信号REQ0の優先度がリクエスト信号REQ1及びREQ2の優先度よりも高いため、リクエスト信号REQ0の要求が許可される。このとき、次のサイクルにおけるリクエスト信号REQ1, REQ2の間の優先権は変わらない。

(ケースC4) 入力されたリクエスト信号は2本だけであるが、これらの内の1本のリクエスト信号と同一の優先度が他の入力されないリクエスト信号にも設定されている場合の動作を説明する。

【0042】いま、制御回路 13では、前述同様に、各I/Oモジュール 12, , 12, からリクエスト信号REQ1, REQ3を個別に受けたとする(ST1)。各結合回路 22, , 22, では、夫々リクエスト信号REQ

Q1, REQ3と各々対応する優先度とを組合せて夫々優先度付REQ信号P1, P3を作成し、各優先度付REQ信号P1, P3をREQ信号選択回路23及び各ラウンドロビン制御回路24<sub>i</sub>、～24<sub>j</sub>に与える。

【0043】REQ信号選択回路23は、各結合回路22<sub>i</sub>、22<sub>j</sub>から受ける優先度の異なる複数の優先度付REQ信号P1, P3のうち(ST2, ST7)、最高の優先度をもつ優先度付REQ信号P1を選択し、この選択した優先度付REQ信号に対応する第2のラウンドロビン制御回路24<sub>i</sub>に有効信号を与える一方、非選択の第1、第3及び第4のラウンドロビン制御回路24<sub>j</sub>、24<sub>k</sub>、24<sub>l</sub>に無効信号を与える。

【0044】第2のラウンドロビン制御回路24<sub>i</sub>では、この有効信号を受けたとき、第2番目の優先度をもつ優先度付REQ信号についてラウンドロビン制御を実行する。

【0045】この場合、第2のラウンドロビン制御回路24<sub>i</sub>では、カウンタ21<sub>i</sub>～21<sub>j</sub>内で第2番目の優先度が2つも設定されているので、入力された優先度付REQ信号P1に対応するOR回路25<sub>i</sub>に向けて肯定応答信号ACK1を送出すると(ST10)、次のアクセス制御のため、今回入力されない方の第2番目の優先度をもつ優先度付REQ信号P2の優先権を、今回入力された優先度付REQ信号P1の優先権よりも高くする(ST11)。

【0046】これにより、次のアクセス制御の際に、今回入力されなかった方の第2番目の優先度をもつ優先度付REQ信号P2は、バスアクセスの許可を得やすくなる。

【0047】以下、前述同様に、第2のラウンドロビン制御回路24<sub>i</sub>から送出された肯定応答信号ACK1は、OR回路25<sub>i</sub>を通過してI/Oモジュール12<sub>i</sub>に到達し、I/Oモジュール12<sub>i</sub>のバスアクセスを許可する。

【0048】これにより、I/Oモジュール12<sub>i</sub>では、共通のバス10を占有する。一方、他の第1、第3及び第4のラウンドロビン制御回路24<sub>j</sub>、24<sub>k</sub>、24<sub>l</sub>は、無効信号を受けるので、動作せず、すなわち、肯定応答信号ACK0～ACK3を送出しない。

【0049】以上述べたようにケースC4の場合、入力された2本のリクエスト信号のうち、リクエスト信号REQ1の優先度がリクエスト信号REQ3よりも優先度が高いため、リクエスト信号REQ1の方にアクセスが許可される。また、リクエスト信号REQ1と同一の優先度が他の入力されないリクエスト信号REQ2にも設定されていたため、次のサイクルではリクエスト信号REQ2の方がリクエスト信号REQ1よりも優先権を高くするように、制御される。

(ケースC5) 入力された2本のリクエスト信号の優先度が“2”で互いに同一である場合の動作を説明する。

【0050】いま、制御回路13では、前述同様に、各I/Oモジュール12<sub>i</sub>、12<sub>j</sub>からリクエスト信号REQ1, REQ2を個別に受けたとする(ST1)。各結合回路21<sub>i</sub>、21<sub>j</sub>では、夫々リクエスト信号REQ1, REQ2と各々対応する優先度とを組合せて夫々優先度付REQ信号P1, P2を作成し、各優先度付REQ信号P1, P2をREQ信号選択回路23及び各ラウンドロビン制御回路24<sub>i</sub>、～24<sub>j</sub>に与える。

【0051】REQ信号選択回路23は、各結合回路21<sub>i</sub>、21<sub>j</sub>から受ける同一の優先度をもつ2本の優先度付REQ信号P1, P2のうち(ST2, ST7)、最高の優先度をもつ2本の優先度付REQ信号P1, P2を予備的に選択し、これら選択した各優先度付REQ信号P1, P2に対応する第2のラウンドロビン制御回路24<sub>i</sub>に有効信号を与える一方、非選択の第1、第3及び第4のラウンドロビン制御回路24<sub>j</sub>、24<sub>k</sub>、24<sub>l</sub>に無効信号を与える。

【0052】第2のラウンドロビン制御回路24<sub>i</sub>では、この有効信号を受けたとき、第2番目の優先度をもつ優先度付REQ信号についてラウンドロビン制御を実行する。

【0053】この場合、第2のラウンドロビン制御回路24<sub>i</sub>では、第2番目の優先度が2つも設定され、且つこれらの優先度をもつ優先度付REQ信号P1, P2が2つとも入力されているので、両信号P1, P2のうち、優先権の高い方を選択し、選択した例えば優先度付REQ信号P1に対応するOR回路25<sub>i</sub>向けに肯定応答信号ACK1を送出すると(ST12)、次のアクセス制御のため、今回非選択とした方の第2番目の優先度をもつ優先度付REQ信号P2の優先権を、今回選択した優先度付REQ信号P1の優先権よりも高くする(ST13)。

【0054】これにより、次のアクセス制御の際に、今回非選択とした方の第2番目の優先度をもつ優先度付REQ信号P2は、バスアクセスの許可を得やすくなる。以下、前述同様に、第2のラウンドロビン制御回路24<sub>i</sub>から送出された肯定応答信号ACK1は、OR回路25<sub>i</sub>を通過してI/Oモジュール12<sub>i</sub>に到達し、I/Oモジュール12<sub>i</sub>のバスアクセスを許可する。

【0055】これにより、I/Oモジュール12<sub>i</sub>では、共通のバス10を占有する。一方、他の第1、第3及び第4のラウンドロビン制御回路24<sub>j</sub>、24<sub>k</sub>、24<sub>l</sub>は、無効信号を受けるので動作せず、すなわち、肯定応答信号ACK0～ACK3を送出しない。

【0056】以上述べたようにケースC5の場合、入力された2本のリクエスト信号REQ1, REQ2の優先度が“2”で互いに同一であるが、ラウンドロビン制御回路24<sub>i</sub>により、優先権の高い方のリクエスト信号REQ1にアクセスが許可される。

【0057】上述したように本実施の形態によれば、各



I/Oモジュール12、～12、から個別に受ける各リクエスト信号REQ0～REQ3毎に、当該リクエスト信号の優先度が書替可能に設定される複数のレジスタ21、～21、を設け、REQ信号選択回路23が、各I/Oモジュール12、～12、のうちの1つ以上から個別にリクエスト信号REQに相当する優先度付REQ信号を受けたとき、各レジスタ21、～21、内の設定内容に基づいて、受けた優先度付REQ信号のうちで最高の優先度をもつ少なくとも1つの優先度付REQ信号を選択し、ラウンドロビン制御回路24、～24、のうちで有効信号を受けたものでは、REQ信号選択回路23により1つの優先度付REQ信号が選択されたとき(C1～C4)、当該選択された優先度付REQ信号に対応するI/Oモジュール12、に肯定応答信号ACKiを送出し、REQ信号選択回路23により2つ以上の優先度付REQ信号が選択されたとき(C5)、ラウンドロビン制御に基づいて、当該各優先度付REQ信号のうちでアクセスの許可される割合の最も低い優先度付REQ信号を選択すると共にこの選択した優先度付REQ信号に対応するI/Oモジュール12、に肯定応答信号ACKiを送出する。

【0058】このように、優先度制御とラウンドロビン制御とを組合せることにより、I/Oモジュール12、～12、の動作の重要度に対応してアクセスを許可するので、アクセス権制御を最適化させることができる。

【0059】また、互いに同一の優先度が2つ以上設定されたとき、今回は入力された方の優先度付REQ信号又は高い優先権をもつ優先度付REQ信号を選択するが、このとき、非選択とした方の優先度付REQ信号の優先権を、今回選択した方の優先度付REQ信号よりも高くすることにより、次のアクセス制御の際に、今回非選択とした方の第2番目の優先度をもつ優先度付REQ信号P2はバスアクセスの許可を得やすくなるので、同一優先度のI/Oモジュール12間でアクセスの許可される割合を平均化することができる。

【0060】さらに、本実施の形態によれば、各レジスタ21、～21、に優先度を書替え可能に設定するので、例えばシステム動作中に、I/Oモジュール12、の優先度を一定時間だけ最高にする等、自由に優先度を変更することができる。また、これにより、設計者は、システム設計の際に、接続対象機器の種類やその使用頻度などに対応する各I/Oモジュール12、～12、の優先度を考慮せずに、システムを設計することができる。

(他の実施の形態)なお、上記実施形態に記載した手法は、コンピュータに実行させることのできるプログラムとして、磁気ディスク(フロッピーディスク、ハードディスクなど)、光ディスク(CD-ROM、DVDなど)、半導体メモリなどの記憶媒体に格納して頒布する

こともできる。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施できる。

#### 【0061】

【発明の効果】以上説明したように本発明によれば、各I/Oモジュールから個別に受ける各リクエスト信号毎に、当該リクエスト信号の優先度が書替可能に設定される複数のレジスタを設け、優先度選択手段が、各I/Oモジュールのうち、1つ以上のI/Oモジュールから個別にリクエスト信号を受けたとき、各レジスタ内の設定内容に基づいて、受けたリクエスト信号のうちで最高の優先度をもつ少なくとも1つのリクエスト信号を選択し、ラウンドロビン制御手段が、優先度選択手段により1つのリクエスト信号が選択されたとき、当該リクエスト信号に対応するI/Oモジュールに肯定応答を送出し、優先度選択手段により2つ以上のリクエスト信号が選択されたとき、ラウンドロビン制御に基づいて、当該各リクエスト信号のうちでアクセスの許可される割合の最も低いリクエスト信号に対応するI/Oモジュールに肯定応答を送出するので、優先度制御とラウンドロビン制御とを組合せることにより、I/Oモジュールの動作の重要度に対応してアクセスを許可し、アクセス権制御を最適化させることができ、さらに、各I/Oモジュールの優先度を考慮せずに、システムを設計できるバスアクセス権制御方式を提供できる。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態に係るバスアクセス権制御方式の適用されたアクセス制御システムの構成を模式的に示すブロック図

【図2】同実施の形態におけるアクセス制御システム内の制御回路の構成を示す回路ブロック図

【図3】同実施の形態における動作を説明するための流れ図

#### 【符号の説明】

10…バス  
11…メモリ  
12、～12、…I/Oモジュール  
13…制御回路  
14、～14、…REQ信号線  
15、～15、…ACK信号線  
16…優先度設定線  
21、～21、…レジスタ  
22、～22、…結合回路  
23…REQ信号選択回路  
24、～24、…ラウンドロビン制御回路  
25、～25、…OR回路  
REQ0～REQ3…リクエスト信号  
P0～P3…優先度付REQ(リクエスト)信号  
ACK0～ACK3…肯定応答信号



【図 1】

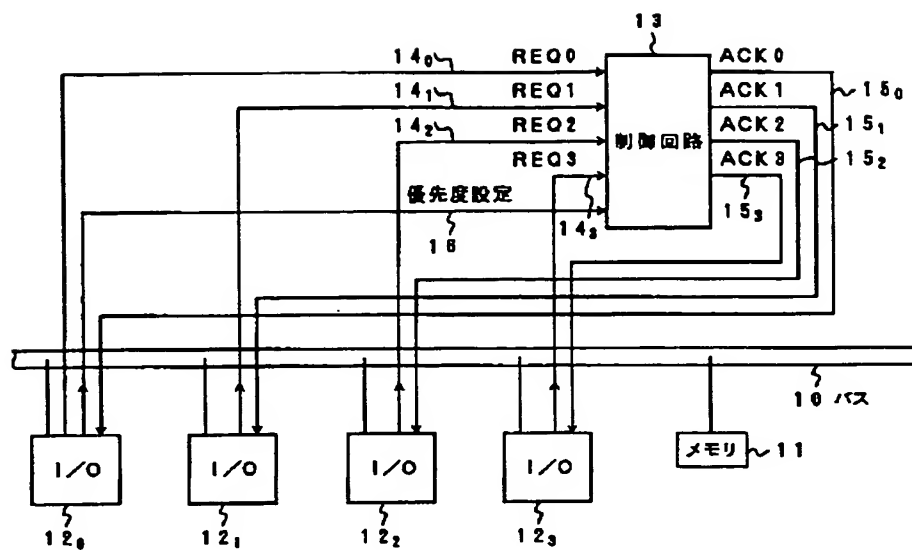


Figure 1 is a block diagram of a control circuit. It features four input channels (REQ0, REQ1, REQ2, REQ3) and four output channels (ACK0, ACK1, ACK2, ACK3). Each input channel includes a '結合回路' (Combination Circuit) block (220, 221, 222, 223) and a 'ラウンドロビン制御回路' (Round Robin Control Circuit) block (240, 241, 242, 243). A central 'REQ 信号選択回路' (REQ Signal Selection Circuit) block (23) is connected to the Round Robin Control Circuits. The output channels have 'ACK' blocks (150, 151, 152, 153) and 'OR' blocks (250, 251, 252, 253). The diagram is labeled '制御回路' (Control Circuit) at the top.

【図3】

